

# ROTATION ABNORMALITY DETECTOR FOR FAN MOTOR

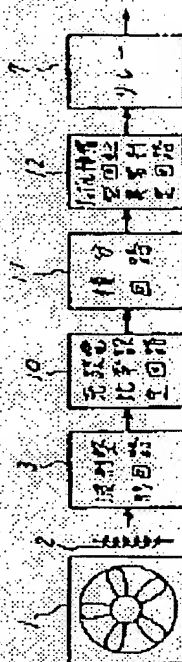
**Patent number:** JP1197660  
**Publication date:** 1989-08-09  
**Inventor:** SUZUKI ISAMU; OSAWA TERUO  
**Applicant:** SHINTOURIYOU KOSAN KK  
**Classification:**  
**- international:** G01P3/44  
**- european:**  
**Application number:** JP19880022409 19880202  
**Priority number(s):** JP19880022409 19880202

Report a data error here

## Abstract of JP1197660

**PURPOSE:** To prevent a normal/abnormal decision from being repeated frequently by varying a detection reference voltage after decision relatively to an integral output voltage by using a ripple compensation type rotation abnormality deciding circuit.

**CONSTITUTION:** When the ripple compensation type rotation abnormality deciding circuit 12 is used, frequent repetitive decision due to variation of a ripple is not performed on condition that the variation of the ripple is within the width of a ripple compensating voltage even if the ripple is superposed on the integral output voltage. Further, when charges are left in an integral capacitor in proportion to the rotating speed of the fan motor 1 by using a discharging/charging rate setting circuit 10, the DC level of the integral output is compared with the detection reference voltage to make a decision without being affected by the variation of the capacitor. Further, a ripple compensating resistance is connected between the output terminal of a comparison decision circuit and the reference input terminal of this circuit in the circuit 12 to perform ripple compensation, which is easily performed by the simple circuit.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97660

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/14

H 0 1 L 27/14

D

29/786

H 0 4 N 5/335

E

H 0 4 N 5/335

H 0 1 L 29/78

6 1 3 Z

審査請求 未請求 請求項の数 7 F D (全 14 頁)

(21) 出願番号 特願平9-273443

(22) 出願日 平成9年(1997) 9月19日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 坂倉 真之

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 深田 武

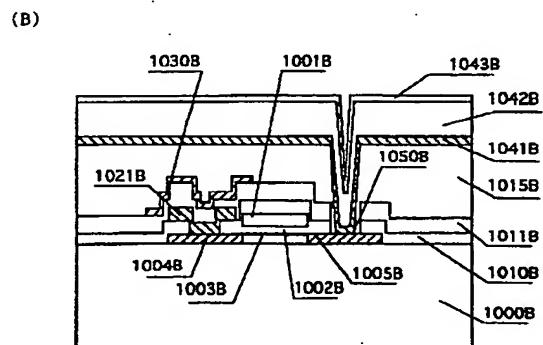
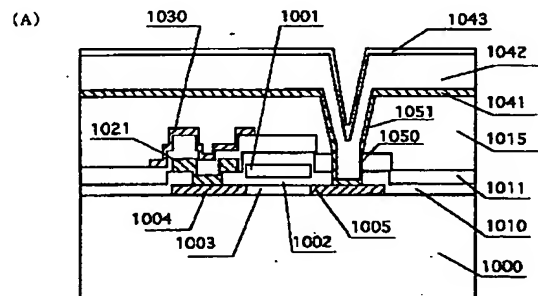
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 イメージセンサおよびそれを用いた装置

(57) 【要約】

【課題】 絶縁基板上に、薄膜トランジスタと光電変換装置を積層して形成するイメージセンサの複数の画素をマトリクス上に配置してなるイメージセンサにおいて、光電変換装置の下部電極の電位変動が寄生容量を介して、信号線にノイズとして発生する。

【解決手段】 薄膜トランジスタに接続される信号線1021と光電変換装置の下部電極1041の間に、導電性材料によって固定電位を有するシールド1030を設けることによって、下部電極の電位変動によって生じるノイズを、シールドによって遮蔽する。



## 【特許請求の範囲】

【請求項 1】絶縁表面を有する基板上に形成された絶縁ゲート電界効果半導体装置と光電変換装置を積層してなる複数の半導体装置を、前記絶縁表面を有する基板上にマトリクス状に配置されてなるイメージセンサにおいて、前記絶縁ゲート電界効果半導体装置に接続する信号線と前記光電変換装置が有する電極の間にシールドが形成されていることを特徴とするイメージセンサ。

【請求項 2】絶縁表面を有する基板上に形成された絶縁ゲート電界効果半導体装置と光電変換装置の間に平坦化膜を有して積層されている複数の半導体装置を、前記絶縁表面を有する基板上にマトリクス状に配置されてなるイメージセンサにおいて、前記絶縁ゲート電界効果半導体装置に接続する信号線と前記光電変換装置が有する電極の間の前記平坦化膜の上にシールドが形成されていることを特徴とするイメージセンサ。

【請求項 3】前記絶縁ゲート電界効果半導体装置は多結晶シリコンを有する薄膜トランジスタからなり、前記光電変換装置は非晶質シリコンを有する光電変換装置であることを特徴とする請求項 1 又は 2 記載のイメージセンサ。

【請求項 4】前記半導体装置は、増幅型であることを特徴とする請求項 1、2 又は 3 記載のイメージセンサ。

【請求項 5】前記シールドは、電源またはグランドに接続されていることを特徴とする請求項 1、2、3 又は 4 記載のイメージセンサ。

【請求項 6】前記シールドと同一形成される接続体によって前記絶縁ゲート電界効果半導体装置と前記光電変換装置が電気的に接続されていることを特徴とする請求項 1、2、3、4 又は 5 記載のイメージセンサ。

【請求項 7】請求項 1 乃至 6 に記載のイメージセンサを用いたことを特徴とする電気光学装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁表面を有する基板上に絶縁ゲート電界効果半導体装置と光電変換装置を積層してなる半導体装置を用いたイメージセンサに関し、より具体的には半導体装置をマトリクス状に配置したエリア型のイメージセンサに関する。

## 【0002】

【従来の技術】イメージセンサは、光学的情報を電気的情報に変換するために必須のセンサであり、センサに入射した光の強度および色（物性的には波長）に応じて、入射光を電気信号に変換する。そのために、センサ部には光電変換装置が必要である。

【0003】センサのタイプとしては、大きく 2 つに分類でき、1 つはファクシミリなどに用いられているラインセンサである。このラインセンサは、1 ライン毎の情報をイメージセンサが読み取り、1 ラインの情報を電気信号に変換すると、次のラインの情報を同じイメージセ

ンサで読み取り、これを繰り返すことで、面の情報を最終的に得ることができるタイプのものである。このラインセンサは書面情報（文字や図等）を順次読み取るタイプであるが、リアルタイムで変化するような光学情報には不向きであり、静的な光学情報を電気信号に変換するものに向く。

【0004】もう 1 つは、カムコーダやデジタルスチルカメラなどに用いられるエリアセンサである。このエリアセンサは、ラインセンサとは異なり、面積の情報を一度に読み取ることができるために、リアルタイムで変化するような光学情報を電気信号に変換することに向いている。

【0005】入射する面の光学情報はレンズを用いてエリアセンサ上に投影される。この投影は、通常縮小投影されている。投影された光学情報（本明細書中では、イメージ情報ともいう）を電気信号に変換するために、投影された面の光学情報を多数の画素に分割する。各画素毎に投影されたイメージ情報のうち、色と強度に応じて電気信号に変換する。画素数が多ければ多いほど、分解能力が向上する。つまりは光学情報（イメージ情報）の量が増えることになる。

【0006】各画素の構成は、MOS トランジスタとホトダイオードを利用した MOS 形撮像デバイス、2 つの MOS キャパシタを利用した CID (Charge Injection Device) 撮像デバイス、MOS キャパシタを多数段従属接続させている CCD (Charge Coupled Device) 撮像デバイスなどがあり、電荷転送の仕方によっては BBD (Bucket Brigade Device) や CTD (Charge Transfer Device) などがある。

【0007】エリアセンサとして分解能力を上げるために、画素数を増加するには各画素面積を不変にして画素数を増加してエリアセンサ自体を大きくして分解能力を向上する方法と、各画素の面積を小さくしてエリアセンサ自体の大きさは変えずに分解能力を向上する方法がある。当然のことながら、同一性能であれば後者の方が望ましい。

【0008】上述した撮像デバイスは、単結晶シリコン上に形成されるモノリシック IC の一種である。そのために、各画素を小さくするとその分の光電変換する電気信号が小さくなってしまふ。実際には、各画素を構成するスイッチトランジスタもあるために、各画素の光電変換装置のエリアはさらに小さくなってしまふ。そのために、画素数を増加して、分解能力を向上させようとしても、各画素で変換される電気信号が小さくノイズ（電気雑音）が多くなり実用できない。

【0009】エリアセンサの実際の回路構成を図 2 に示す。図 2 中で画素は点線で囲んだ A の部分に相当する。画素は、図に示すようにマトリクス状に配置されている。各画素は、画素トランジスタ 2001 と光電変換装置 2002 を有している。画素トランジスタ 2001 と

しては、図2では電界効果トランジスタを用いており、光電変換装置としてホトダイオードを用いている。画素トランジスタ2001のゲートにはゲート線2003が接続され、画素トランジスタ2001のドレインには信号線2004が接続されている。本明細書中では、電界効果トランジスタのうち光電変換装置に接続している側をソースとよび信号線に接続している側をドレインと呼ぶ。

【0010】ゲート線2003と信号線2004は、それぞれ行と列の接続線として、マトリクス状に配置されている各画素のそれぞれの画素トランジスタのゲートおよびドレインに接続されている。

【0011】各ゲート線2003は、垂直シフトレジスタ2005に接続され、垂直シフトレジスタ2005には、外部より垂直同期のためのVクロック2006と垂直スタートパルス2007が接続されている。

【0012】各信号線には、水平スイッチトランジスタ2008のソースに接続されており、水平スイッチトランジスタ2008のゲートは水平シフトレジスタ2009に接続されている。水平シフトレジスタ2009には、外部より水平同期のためのHクロック2010と垂直スタートパルス2011が接続されている。

【0013】選択された画素に入射した光学情報はの光電変換装置によって変換された電気信号として、映像出力2012として出力される。

【0014】図2をみても理解できるように、このエリアセンサがモノリシックに形成されている場合、各画素を小さくして分解能力を向上させようとすると、各画素には画素トランジスタ2001と光電変換装置2002が存在し、それぞれを接続する配線が必要になる。画素を小さくすると実際に光学情報を電気に変換する光電変換装置の面積が小さくなり、そのために変換された信号とノイズの差が小さく実用的ではない。

【0015】そのため、画素トランジスタと光電変換装置を積層することによって、光電変換装置の面積をそれほど小さくせずに、画素面積を小さくし、もって画素数を増やす試みがされている。

【0016】図3に、画素トランジスタと光電変換装置を積層するタイプを示す。図3は、図2のAに相当する画素の断面構造である。単結晶シリコン基板3000に素子分離用のフィールド酸化膜3013で分離されたところに、ゲート電極3001、ゲート絶縁膜としてのゲート酸化膜3002、ドレイン領域3004、ソース領域3005、チャネル形成領域3003によって、MOSトランジスタが構成されている。

【0017】MOSトランジスタの上方には、下部金属電極3041、光電変換層3042、上部透明電極3043で構成される光電変換装置が形成されている。光電変換装置の下部金属電極3041は、MOSトランジスタのソース領域3005に接続している。MOSトラン

ジスタのドレイン領域3004には、信号線3021が接続されており、信号線3021と光電変換装置の下部金属電極3041とを絶縁するために、層間絶縁膜3011が形成されている。信号線3021とゲート電極3001および他のトランジスタとの絶縁のために絶縁膜3014が形成されている。

【0018】MOSトランジスタと光電変換装置とで、エリアセンサタイプのイメージセンサの1画素を形成している。この構成は、MOSトランジスタと光電変換装置を同一平面上に形成するモノリシックタイプと異なり、トランジスタと光電変換装置を積層しているために画素サイズを小さくしても、光電変換装置のサイズがモノリシックタイプに比較してかなり大きくすることができ、そのため、画素サイズを小さくすることによる高分解能力と、光電変換装置を小さくせずにするために入射光を変換した光電気信号を大きくすることができ、ノイズに対して強いエリアタイプのイメージセンサを構成できる。

【0019】さらに、単結晶シリコン基板3000は、通常不純物がドーブされているP- またはN- 型であるために、単結晶シリコン基板3000が接地されており、センサ全体としても電位が安定してノイズに強い。

【0020】最近では、この単結晶で開発されている技術を絶縁表面を有する基板上で実現することが試みられている。図4にその例を示す。石英ガラスなどの絶縁基板4000上に、多結晶シリコン又は非晶質シリコンの薄膜半導体を利用して、薄膜トランジスタを形成する。基板4000上には、ゲート電極4001、ゲート絶縁膜4002、チャネル形成領域4003、ドレイン領域4004、ソース領域4005から形成される絶縁ゲート電界効果トランジスタが、薄膜トランジスタとして形成されている。

【0021】下部金属電極4041、光電変換層4042、上部透明電極4043によって光電変換装置が構成されている。光電変換装置の下部金属電極4041は、薄膜トランジスタのソース領域4005と接続されている。

【0022】薄膜トランジスタのドレイン領域4004には、信号線4021が層間絶縁膜4011を介して接続されている。信号線4021と光電変換装置の下部金属電極4041と絶縁分離するために、第2の層間絶縁膜4012が形成されており、光電変換装置はこの第2の層間絶縁膜4012の上に形成されている。この例では、第2の層間絶縁膜4012として、平坦化膜を用いている。

【0023】この従来例では、光電変換装置に並列してキャパシタを構成するために、上部透明電極4043と下部金属電極4041の間に、絶縁層4050を形成しているが、イメージセンサの画素としては、このようなキャパシタを構成していなくとも使用することができ

る。

【0024】図4に示すような、構成にすることで、単結晶シリコン基板上ではなくとも、絶縁基板すなわち絶縁表面を有する基板上にも、トランジスタと光電変換装置を積層するエリアタイプのイメージセンサを構成することができる。

【0025】しかしながら、絶縁基板は、単結晶基板とことなり基板自体が電氣的に浮いており、電氣的に不安定でありノイズが大きい。さらに、光電変換装置は入射光の色（波長）と強度に応じて電気信号に変換するが、その電気信号は、図1に示したように、垂直シフトレジスタと水平シフトレジスタによって選択された画素を順次読み出すために、選択されていない間に、光電変換装置に入射している光信号は外部に取り出されていない。

【0026】光電変換装置に入射されている光の強度や波長によって光電変換装置の上部電極と下部電極の電位差は変化する。そのために、図4に示す下部金属電極4041の電位は、一定の電位に保たれていない。つまり、光信号を読み取られた直後や、入射光がない暗状態のように入射光量が全くゼロの状態から、非常につよい光入射され入射光量を読み取る直前のように光信号最大の状態までがある。

【0027】読み取りの方式によって、入射光量が最大のときに読み取り信号最大の場合もあれば、入射光量がゼロのときに読み取り信号が最大の場合もある。しかしながら、どちらの方式によっても、入射光量ゼロから最大までの間で、下部金属電極4041の電位は変化する。

【0028】薄膜トランジスタのソース領域4005は、下部金属電極4041と同電位であり問題は少ないが、ドレイン領域4004に接続されている信号線4021と下部電極4041の間には第2の層間絶縁膜4012を介してキャパシタが寄生するいわゆる寄生容量が形成されている。

【0029】下部金属電極4041の電位が一定であれば、この寄生容量は問題ないが、上述のように下部金属電極4041の電位は、光信号に応じて変化する。その出圧の変化によって変動電圧が信号線4021に印加される。

【0030】信号線4021は、図1に示すようにそのエリアセンサの列に並んでいる画素全てに共通のラインであるために、各画素毎にこの寄生容量と下部金属電極の電位変動による変動電圧が印加されこれがノイズになる。

【0031】エリアセンサでは、ラインセンサであれば、信号線と下部金属電極が重ならないような配置にすることは簡単に設計できるが、エリアセンサの場合は、重ならないようにすると、結局モノリシックと同様になり、光電変換装置の面積が狭くなってしまふ。

【0032】また、単結晶シリコン基板のように、基板

全体が接地されているような場合には、下部金属電極の変動電圧によるノイズはそれほど大きいものにはならない。

【0033】つまり、下部金属電極の電位変動と、信号線と下部金属電極と間の絶縁膜で形成される寄生容量によって、信号線に発生するノイズの問題は、1) 絶縁表面を有する基板であること 2) 薄膜トランジスタと光電変換装置を積層していること 3) マトリクス状の配置構成であること の3条件が揃っている場合に問題になる。

【0034】このうちのどれか1つでも欠けていればこのような問題は、発生しないかまたは避けることができ、それほど大きな問題にはならないのである。

【0035】

【発明が解決しようとする課題】そこで、本発明では上記3条件が揃っているようなエリア型イメージセンサにおいて、下部金属電極の電位変動による信号線に対するノイズの問題を一挙に解消しようとするものである。

【0036】すなわち、本発明は下部金属電極の電位が変動しても、その変動電圧が信号線に印加されないようにしたものであり、具体的には、下部金属電極と信号線の間に積極的に固定電位面を設けたものである。下部金属電極の電位が変動し、変動電圧が発生しようとも、信号線の回りには固定電位面によるシールドによって変動電圧が全く印加されない構成を提供することを目的とするものである。

【0037】

【課題を解決するための手段】絶縁表面を有する基板上に薄膜トランジスタと光電変換装置が積層された複数の半導体装置が、マトリクス状に配置されているエリア型イメージセンサにおいて、光電変換装置の電極と信号線の間に、導電材料でありかつ固定電位であるシールドを配置することで、光電変換装置の電極の電位変動による信号線へのノイズを遮断するイメージセンサを提供するものである。

【0038】本発明のイメージセンサは、絶縁表面を有する基板上に形成された絶縁ゲート電界効果半導体装置と光電変換装置を積層してなる複数の半導体装置を、前記絶縁表面を有する基板上にマトリクス状に配置されてなるイメージセンサにおいて、前記絶縁ゲート電界効果半導体装置に接続する信号線と前記光電変換装置が有する電極の間にシールドが形成されていることを特徴とする。

【0039】また本発明のイメージセンサは、絶縁表面を有する基板上に形成された絶縁ゲート電界効果半導体装置と光電変換装置の間に平坦化膜を有して積層されている複数の半導体装置を、前記絶縁表面を有する基板上にマトリクス状に配置されてなるイメージセンサにおいて、前記絶縁ゲート電界効果半導体装置に接続する信号線と前記光電変換装置が有する電極の間の前記平坦化膜

の上にシールドが形成されていることを特徴とする。

【0040】また本発明のイメージセンサにおいて、絶縁ゲート電界効果半導体装置は多結晶シリコンを有する薄膜トランジスタからなり、光電変換装置は非晶質シリコンを有する光電変換装置であることを特徴とする。

【0041】また本発明のイメージセンサにおいて、半導体装置は、増幅型を用いることができることを特徴とする。

【0042】また本発明のイメージセンサのシールドは、電源またはグランドに接続されていることを特徴とする。

【0043】また、本発明のイメージセンサを液晶表示装置、デジタルスチルカメラ、カムコーダ等の電気光学装置へ用いることを特徴とする。

【0044】光電変換装置の電極のうち、トランジスタのドレイン領域に接続されている信号線側の電極である下部金属電極と信号線の間に、導電性の層を1層設け、この導電性の層の電位を固定する。固定する方法としては、この導電性の層を接地して基準電位に固定したり、電源に接続して動作電源電圧に固定する。

【0045】光電変換装置に入射する光に応じて下部金属電極の電位が変動し、変動電圧が発生しても、信号線と下部電極の間には固定された等電位面があるために、その変動電圧は信号線に影響を全く与えない。

【0046】この導電性の固定電位をもつ層をその作用効果からシールドと呼ぶ。シールドは、下部金属電極と信号線の間で少なくとも信号線を覆うような形で配置されていれば、その大きさは大きくとも小さくとも構わない。勿論、できるだけ完全にノイズを遮断するためには、シールドの大きさは大きいほうが好ましい。

【0047】シールドを信号線と光電変換装置の下部金属電極の間に設けることは、プロセス上マスク工程が1回と層間膜の形成工程が1回増加するために、1) 絶縁表面を有する基板であること 2) 薄膜トランジスタと光電変換装置を積層していること 3) マトリクス状の配置構成であること の3条件が揃っている場合のイメージセンサにのみ適用して、大きな効果がある。

【0048】上記3条件のうちどれか1つでも欠けている場合は、敢えてシールドを構成する必要もなく、構成することによる短所(マスク工程等の増加)の方が、長所より大きくなってしまふ。

【0049】絶縁基板上に絶縁ゲート電界効果半導体装置いわゆる薄膜トランジスタを複数、マトリクス上に配置した後、そのドレイン領域に信号線、ゲート電極にゲート線を配線するために、薄膜トランジスタを覆うように層間絶縁膜を形成する。

【0050】層間絶縁膜には、後に信号線およびゲート線が薄膜トランジスタと接続するためのコンタクトホールが形成されており、そのコンタクトホールに合わせて信号線およびゲート線が形成される。次に、第2の層間

膜を信号線、ゲート線および薄膜トランジスタを覆うように形成する。

【0051】その第2の層間絶縁膜の上にシールドを形成する。シールドは、信号線を覆うようにパターン形成される。パターン形成は、後に光電変換装置と薄膜トランジスタを接続するコンタクトホールの部分は、最低限シールドを除去する。つまり、シールドの最小パターンとしては、信号線を覆う大きさであり、最大パターンとしては、光電変換装置と薄膜トランジスタを接続するコンタクトホールは除かれている大きさになる。

【0052】シールドの上に、第3の層間絶縁膜を形成し、その上に光電変換装置を形成させてイメージセンサが完成する。本発明を利用したイメージセンサは、シールドが信号線を覆っているために、シールドより上方にある光電変換装置の電位変動から寄生容量を介して発生するノイズを完全に遮断することが出来る。

【0053】

【発明の実施の形態】以下に本発明の実施の形態を図面に基づいて詳細に説明する。

20 【0054】【実施の形態1】図1は、本発明の実施の形態を示す図である。図1(A)において、基板1000は、石英、合成石英、無アルカリガラス、ホウケ酸ガラスなどの絶縁表面を有する基板1000である。その上に、ゲート電極1001、ゲート絶縁膜1002、チャネル形成領域1003、ドレイン領域1004、ソース領域1005からなる薄膜トランジスタが形成されている。薄膜半導体材料としては、多結晶シリコン、非晶質シリコンなどを用いてチャネル形成領域1003、ドレイン領域1004、ソース領域1005を形成する。

30 【0055】チャネル形成領域1003は、不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 以下であるものを用いる。ドレイン領域1004およびソース領域1005は、13族又は15族の不純物がドーピングされている。ゲート絶縁膜1002は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜などのそれぞれの単層または、組み合わせた積層のものを用いている。

40 【0056】ゲート電極1001としては、ドーピングシリコン等の不純物がヘビードープされた半導体あるいは、アルミニウム、タンタル、クロム、モリブデン、タングステンなどの金属を用いる。

【0057】薄膜トランジスタは、絶縁ゲート電界効果トランジスタ(又は絶縁ゲート電界効果半導体装置)として動作する。薄膜トランジスタの上には、第1層間膜1010が形成され、その上に信号線1021が形成されている。信号線1021は、第1層間膜1010に形成されているコンタクトホールを通して薄膜トランジスタのドレイン領域1004に接続されている。

50 【0058】第1層間膜1010は、直接薄膜トランジスタに接触する膜であり、酸化膜、リンガラス(PSG)、酸化珪素膜、窒化膜、窒化珪素膜等を用いる。信



号線1021は、ドレイン領域1004とのコンタクトが十分にとれる導電材料であればなんでもよく、アルミニウム、タンタル、クロム、モリブデン、タングステンなどの金属や酸化インジウム、ITOなどの導電性酸化物でもよい。

【0059】信号線1021、第1層間膜1010を覆って、また薄膜トランジスタも覆って第2層間膜1011が形成されている。第2層間膜1011としては、絶縁材料であればどのようなものも使用でき、第1層間膜1010で用いることができる材料および有機樹脂膜等を用いることもできる。

【0060】第2層間膜1011の上にシールド1030が形成されている。シールド1030は、下方にある信号線1021を覆うように配置されている。大きさは、信号線1021から光電変換装置の下部電極1041が見えないような大きさが必要であるが、それよりも小さくても本発明の効果は十分にある。

【0061】シールド1030は、導電性材料で形成される。導電材料であればなんでもよく、アルミニウム、タンタル、クロム、モリブデン、タングステンなどの金属や酸化インジウム、ITOなどの導電性酸化物でもよい。シールド1030は、接地電位あるいは電源電位などの固定電位に接続する。シールド1030の上に第3層間膜1015が形成される。この層間膜も第2の層間膜1011と同様に絶縁物であればどのような材料でもよい。ただし、後に光電変換装置の下部電極1041と薄膜トランジスタのソース領域1005を接続するためのコンタクトホールを第1層間膜1010、第2層間膜1011、第3層間膜1015に対して開ける。有機樹脂膜は、異方性エッチングができないために第2層間膜1011に有機樹脂を用いて、第3層間膜1015に酸化珪素膜を用いると、第2層間膜1011はサイドエッチングを発生してコンタクト不良を起こすために、そのような組み合わせを行うことはできない。

【0062】逆の第2層間膜1011に酸化珪素膜を使い、第3層間膜1015に有機樹脂膜を使用することや、第2層間膜1011に有機樹脂膜を使い、第3層間膜1015にも有機樹脂膜を使用する組み合わせは問題ない。

【0063】第3層間膜1015の上に、光電変換装置の下部電極1041を形成する。下部電極1041の上に光電変換層1042を形成してその上に、上部透明電極1043を形成する。光電変換層1042として、本発明者は水素化非晶質シリコンを用いたが、他の材料でもよいことはいうまでもない。

【0064】水素化非晶質シリコンは、真性のものだけであっても、それにP型やN型の非晶質シリコンや炭化珪素、窒化珪素などを積層してもよい。真性のものをI型とすると、PIN型、PI型、NI型などのダイオード型や、ショットキー壁を利用したものでもよい。シ

ットキー壁の作製は、例えば上部透明電極1043にITOを用いて真性の水素化非晶質シリコンを光電変換層1042とすれば、ITOと水素化非晶質シリコンとの接合面にショットキー壁を形成することができる。

【0065】このようにして形成された薄膜トランジスタと光電変換装置を積層したイメージセンサの1画素を、図1に示すようにマトリクス状に配置することで、エリアタイプのイメージセンサが構成される。信号線1021は、シールド1030で覆われている。シールド1030は接地に接続または電源に接続するなど、固定電位に接続する。そのために、下部電極1041の電位変動によるノイズが印加されない。

【0066】〔実施の形態2〕図5に回路図上でみる本発明の実施の形態を示す。図5Aは、絶縁ゲート電界効果半導体装置5001Aのドレインに光電変換装置5002Aが接続されており、光電変換装置5002Aは光電変換装置電源5060Aに接続されている。絶縁ゲート電界効果半導体装置5001Aのゲートはゲート線5003Aとコンタクト5051Aで結線され、ソースは信号線5004Aとコンタクト5052Aで結線されている。

【0067】シールド5030Aは、信号線5004Aだけを遮蔽するように配置されている。シールド5030Aは固定電位に5031Aで接続されている。このイメージセンサの1画素をマトリクス状に配置することでエリアタイプのイメージセンサを構成することができる。固定電位5031Aは、接地電位あるいは電源電位を用いる。

【0068】図5Bは、絶縁ゲート電界効果半導体装置5001Bのドレインに光電変換装置5002Aが接続されており、光電変換装置5002Bは光電変換装置電源5060Bに接続されている。絶縁ゲート電界効果半導体装置5001Bのゲートはゲート線5003Bとコンタクト5051Bで結線され、ソースは信号線5004Bとコンタクト5052Bで結線されている。

【0069】シールド5030Bは、信号線5004Bだけではなく、絶縁ゲート電界効果半導体装置5001Bも遮蔽している。図中では、光電変換装置5002Bも遮蔽しているように見えるが、光電変換装置5002Bはシールド5031Bの上方に配置されている。実際に遮蔽は、光電変換装置5002Bの下部電極の電位変動によるノイズから信号線5030Bを遮蔽しているものであるから当然である。シールド5030Bは固定電位に5031Bで接続されている。このイメージセンサの1画素をマトリクス状に配置することでエリアタイプのイメージセンサを構成することができる。固定電位5031Bは、接地電位あるいは電源電位を用いる。

【0070】図5AとBは、非増幅型のイメージセンサの画素を示しているが、図5Cには、増幅型のイメージセンサの画素を示している。

【0071】図5Cは、絶縁ゲート電界効果半導体装置5001C-1、5001C-2、5001C-3の3個の絶縁ゲート電界効果半導体装置と光電変換装置5002Cが配置されている。絶縁ゲート電界効果半導体装置(TR3)5001C-3のドレインでありかつ絶縁ゲート電界効果半導体装置(TR2)5001C-3のゲートに光電変換装置5002Cが接続されており、光電変換装置5002Cは光電変換装置電源5060Cに接続されている。

【0072】絶縁ゲート電界効果半導体装置(TR3)5001C-3のゲートはゲート線5003Cとコンタクト5051Cで結線され、ソースは絶縁ゲート電界効果半導体装置(TR2)5001C-2のソースとコンタクト5055Cで結線され電源5020Cに接続されている。絶縁ゲート電界効果半導体装置(TR1)5001C-1のゲートはゲート線5033Cにコンタクト5053Cで結線され、ドレインは絶縁ゲート電界効果半導体装置(TR2)5001C-2のドレインに接続され、ソースは信号線5004Cにコンタクト5052Cで結線されている。

【0073】シールド5030Cは、信号線5004Cだけを遮蔽するように配置されている。シールド5030Cは固定電位に5031Cで接続されている。固定電位5031Cは、接地電位あるいは電源電位を用いる。このイメージセンサの1画素をマトリクス状に配置することでエリアタイプのイメージセンサを構成することができる。固定電位5031Cと電源5020Cを結線してシールド5004Cの電位を電源5020Cの固定電位にすることもできる。図5(C)のような増幅型のイメージセンサの画素の場合は、光電変換装置5002Cの電位変動によるノイズも増幅されてしまうために、シールド5004Cを用いる効果は、非増幅型である図5(A)(B)の場合より顕著である。

【0074】【実施の形態3】本発明を用いたイメージセンサは、絶縁基板上に形成された、絶縁ゲート電界効果半導体装置と光電変換装置を積層した複数の画素をマトリクス状に配置したエリアタイプのセンサに適用するものである。そのために、単結晶シリコンに形成してなるCCDなどのようなセンサと異なり、本発明のイメージセンサを適用することで特徴の電気光学装置は多い。

【0075】液晶表示装置は、透過型液晶表示装置および反射型液晶表示装置のどちらの場合も、石英およびガラス基板上に形成される。これは、表示装置として用いるために装置の面積を広くする必要があり、単結晶シリコンを用いるのでは表示装置の単価が高騰してしまうからである。

【0076】最近の液晶表示装置の応用例として、表示装置単体で用いるのではなく、デジタルスチルカメラの直視モニターとしてカメラに組み込まれたり、カムコー

ダの直視モニターやファインダーとしてカメラに組み込まれている。この、デジタルスチルカメラやカムコーダなどの電気光学装置には、映像を読み込むためのエリアタイプのイメージセンサが必須である。

【0077】上記のような電気光学装置は、エリアタイプのイメージセンサとモニターのような液晶表示装置を必要としている。イメージセンサと一体化しようとしても基板が単結晶シリコンと絶縁基板であるために、一体化することができなかった。本発明によるエリアタイプのイメージセンサは、絶縁基板上に形成されるエリアタイプのセンサであり、ノイズに強いために高分解能力を有しているために単結晶シリコン上に形成されるCCD等のセンサと同等の性能をする。そのため本発明のノイズの影響を受けにくいイメージセンサと液晶表示装置を絶縁基板上に一体化して組み込むことができる。

【0078】単結晶シリコンで形成するイメージセンサよりも、絶縁基板上に形成できる本発明のイメージセンサの製造コストが安い。そのため、液晶表示装置と組み合わせなくとも、本発明のイメージセンサを単体でデジタルスチルカメラやカムコーダなどの電気光学装置に組み込むことで電気光学装置の性能を落とさずに、単価を下げるができる。

#### 【0079】

【実施例】以下、図面に従い本発明の実施例を説明するが、本発明がこの実施例に限定されないことは勿論である。

【0080】【実施例1】図1(A)は、石英基板1000上に、多結晶シリコンからなる薄膜トランジスタを絶縁ゲート電界効果半導体装置として形成し、その上方に非晶質シリコンのPINダイオードを利用した光電変換装置を形成しているものである。石英基板1000上には、多結晶シリコンからなるドレイン領域1004、チャネル形成領域1003、ソース領域1005と、ゲート絶縁膜1002およびゲート電極1001が形成されている。

【0081】多結晶シリコンは、出発膜として減圧CVD法またはプラズマCVD法を用いて非晶質シリコンを厚さ20~150nm形成し、その後500~700℃で20~4時間のアニールによる固相成長を行って多結晶シリコンを形成している。

【0082】形成された多結晶シリコンを島状にパターニングし、ホウ素を $5 \sim 3.0 \times 10^{16} \text{ cm}^{-3}$ チャネルドーブした。その上にゲート絶縁膜1002として、熱酸化膜を厚さ50~150nm形成し、その上に200~1000nmの厚さのシリコンを0.1~1.5%ドーブしたアルミニウムのゲート電極1001を形成している。ゲート電極1001が形成された後に、イオン注入またはイオンドーブによってリンまたはリンと水素の化合物を、ゲート電極1001をマスクとして多結晶シリコン中にドーブして、ドレイン領域1004とソース領



域1005を形成した。ソース領域1005とドレイン領域1004に挟まれた領域にチャネル形成領域1003が形成される。

【0083】オフ電流をさげるために、オフセット領域あるいはLDD領域もしくはそれらの組み合わせを、薄膜トランジスタに形成することもできる。薄膜トランジスタの上に、有機シランと酸化窒素によるCVDで酸化珪素膜1010を200~400nm形成した。

【0084】酸化珪素膜1010にドレイン領域1004に達するコンタクトホールを形成した後に、アルミニウムによって300~500nmの厚さ形成して信号線1021を形成した。信号線1021は、ドレイン領域1004とコンタクトホールを介して接続している。

【0085】信号線1021の上に、PSG1011を厚さ100~300nm形成し、その上にクロムを50~150nmの厚さで形成し、信号線1021を覆うようにパターニングしてシールド1030を形成した。シールド1030は、接地電位あるいは電源電位などの固定電位に接続する

【0086】シールド1030の上に、アクリル樹脂による平坦化膜1015を400~1000nmの膜厚で形成した。平坦化膜1015、PSG1011、酸化珪素膜1010にソース領域1005との接続用のコンタクトホールを形成する。このとき、平坦化膜1015は異方性エッチングできないためにテーパー形状1051になる。また酸化珪素膜1010とPSG1011のコンタクトホール端面1050はほぼ一致する。

【0087】平坦化膜1015の上に、光電変換装置の下部電極1041を、チタンを50~150nmの膜厚で形成した。下部電極1041は、ソース領域1005と接続する。下部電極1041の上にN型非晶質シリコンI型非晶質シリコンP型非晶質シリコンカーバイドをそれぞれ厚み、10~30nm、300~1000nm、10~20nmで光電変換層1042を形成した。

【0088】光電変換層1042の上に、透明導電膜1043としてITOを100~200nmの厚さ形成して、イメージセンサの画素を構成した。この実施例では1画素の断面構成をしめしているが、実際にはこの画素をマトリクス状に配置して、エリアタイプのイメージセンサにしている。信号線1021は、シールド1030によって、光電変換装置の下部電極1041の電位変動によるノイズから遮断されている。

【0089】〔実施例2〕図1(B)に本発明の別の実施例を示す。この実施例は、実施例1とほとんど同じであり、図中の記号も最後にBをつけているだけで、同じものをしめしている。つまり1001と1001Bは同じ基板を示し、1030と1030Bは同じシールドを示しており、以下同じである。

【0090】実施例1と異なるのは、異方性エッチングができない平坦化膜1015Bを逆に利用して、コンタ

クトホールの形状をテーパー形状にしている実施例である。つまり酸化珪素膜1010BとPSG1011Bを平坦化膜1015Bを形成する前に広めの第1のコンタクト開孔をあける。そして、平坦化膜1015Bを形成した後に平坦化膜1015Bに第1のコンタクト開孔より小さいコンタクトホールをあけると平坦化膜1015Bのコンタクト端面と、酸化珪素膜1010BおよびPSG1011Bに開けられたコンタクトホール端面の間に隙間1050Bができる。

【0091】積層型のイメージセンサの場合は、光電変換装置と薄膜トランジスタを接続するためのコンタクトホールのギャップが層間膜を形成するために大きく、断線する可能性が高い。そのために、もっともギャップの大きい下部電極1041Bとソース領域1005Bを接続するコンタクトホールの形状を、平坦化膜1043Bのエッチング特性を利用してテーパー形状にして断線を発生しにくくしたものである。

【0092】〔実施例3〕図6(A)および(B)に本発明の別の実施例を示す。図6(A)は、コーニング社製#1737ガラス基板6000上に、多結晶シリコンからなる薄膜トランジスタを絶縁ゲート電界効果半導体装置として形成し、その上方に非晶質シリコンのショットキーダイオードを利用した光電変換装置を形成しているものである。ガラス基板6000上には、多結晶シリコンからなるドレイン領域6004、チャネル形成領域6003、ソース領域6005と、ゲート絶縁膜6002およびゲート電極6001が形成されている。

【0093】多結晶シリコンは、出発膜としては、減圧CVD法またはプラズマCVD法を用いて非晶質シリコンを厚さ20~150nm形成し、その後クリプトンフッライド(KrF)エキマレーザを用いたレーザ結晶化によって多結晶シリコンを形成している。

【0094】形成された多結晶シリコンを島状にパターニングし、その上にゲート絶縁膜6002として、プラズマCVD法または減圧CVD法による酸化膜を厚さ50~150nm形成し、その上に500~1200nmの厚さのスカンジウムを0.05~2%ドーピングしたアルミニウムのゲート電極6001を形成している。ゲート電極6001が形成された後に、イオン注入またはイオンドーピングによってリンまたはリンと水素の化合物あるいはホウ素またはホウ素と水素の化合物を、ゲート電極6001をマスクとして多結晶シリコン中にドーピングして、ドレイン領域6004とソース領域6005を形成した。ソース領域6005とドレイン領域6004に挟まれた領域にチャネル形成領域6003が形成される。

【0095】オフ電流をさげるために、オフセット領域あるいはLDD領域もしくはそれらの組み合わせを、ドレイン領域6004とチャネル形成領域6003の間またはソース領域6005とチャネル形成領域6003の間あるいはその双方を薄膜トランジスタに形成すること

もできる。薄膜トランジスタの上に、シランと酸化窒素によるプラズマCVDで酸化珪素膜6010を250～500nm形成した。

【0096】酸化珪素膜6010にドレイン領域6004に達するコンタクトホールならびにソース領域6005に達するコンタクトホールを形成した後に、アルミニウムによって300～500nmの厚さ成膜した後に、パターニング形成して信号線6021を形成した。信号線6021は、ドレイン領域6004とコンタクトホールを介して接続している。

【0097】信号線6021の上に、ポリイミドを用いた第1平坦化膜6011を厚さ500～1000nm形成し、その上にタンタルを50～150nmの厚さで形成し、信号線6021を覆うようにパターニングしてシールド6030を形成した。シールド6030は、接地電位あるいは電源電位などの固定電位に接続する。

【0098】シールド6030の上に、アクリル樹脂による第2平坦化膜6015を400～1000nmの膜厚で形成した。第2平坦化膜6015、第2平坦化膜6011に、酸化珪素膜6010に予め開けられているコンタクトホールの内側にソース領域6005との接続用のコンタクトホールを形成する。このとき、第2平坦化膜6015および第1平坦化膜6011は異方性エッチングできないためにテーパ形状になる。

【0099】第2平坦化膜6015の上に、光電変換装置の下部電極6041を、クロムを50～150nmの膜厚で形成した。下部電極6041は、ソース領域6005と接続する。このとき、図中ではほぼ垂直に見えるが、第1平坦化膜6011および第2平坦化膜6015は、テーパ形状（条件によっては凸状の曲面になる）を有しているために、下部電極6041は断線の発生を極力抑えられて、ソース領域6005と接続できた。下部電極6041の上にI型非晶質シリコンを300～1000nmの膜厚で光電変換層6042を形成した。

【0100】光電変換層6042の上に、透明導電膜6043としてITOを100～200nmの厚さ形成して、光電変換層6042として用いたI型非晶質シリコンと透明導電膜6043として用いたITOの界面にできるショットキー壁を利用したショットキーダイオードを形成した。こうしてイメージセンサの画素を構成した。この実施例では1画素の断面構成をしめしているが、実際にはこの画素をマトリクス状に配置して、エリアタイプのイメージセンサにしている。信号線6004は、シールド6030によって、光電変換装置の下部電極6041の電位変動によるノイズから遮断されている。

【0101】〔実施例4〕図6（B）に本発明の別の実施例を示す。この実施例は、実施例3とほとんど同じであり、図中の記号も最後にBをつけているだけで、同じものをしめしている。つまり6001と6001Bは同

じ基板を示し、6030と6030Bは同じシールドを示しており、以下同じである。

【0102】実施例3と異なるのは、第1平坦化膜6011B上に形成するシールド6030Bの大きさが、実施例3では信号線6021だけを覆っているのに対して、薄膜トランジスタ全域をも覆うように形成されている。しかし、ソース領域6005Bと下部電極6041Bが接続するために設けられるコンタクトホールの部分には、シールドは短絡を防止するために形成されていない。シールド6030Bは、接地電位あるいは電源電位などの固定電位に接続する。

【0103】本実施例で示した用にシールド6030Bの大きさは信号線6021Bを覆っていれば信号線6021Bより大きくても構わない。よりシールド6030Bの遮蔽性を高めるためには、大きくしたほうが効果がある。

【0104】〔実施例5〕図7（A）に本発明の別の実施例を示す。図7（A）は、コーニング社製#7059ガラス基板7000上に、多結晶シリコンからなるボトムゲート型の薄膜トランジスタを絶縁ゲート電界効果半導体装置として形成し、その上方に非晶質シリコンのショットキーダイオードを利用した光電変換装置を形成しているものである。ガラス基板7000上には、多結晶シリコンからなるドレイン領域7004、チャネル形成領域7003、ソース領域7005と、ゲート絶縁膜7002およびゲート電極7001が形成されている。

【0105】ゲート電極7001は、クロムを膜厚100～300nmをスパッタ法で成膜したのちに、パターニングをテーパになるようにエッチングして形成した。ゲート電極7001の上に、プラズマCVD法によってゲート絶縁膜7002として、窒化珪素膜を膜厚50～150nm、酸化珪素膜を膜厚50～150nm形成した。ゲート絶縁膜7002上にプラズマCVD法を用いて非晶質シリコンを厚さ20～150nm形成した。このゲート絶縁膜7002として用いる窒化珪素膜と酸化珪素膜および非晶質シリコンは大気に触れることなく連続形成した。その後ゼノンクロライド（XeCl）エキマレーザを非晶質シリコンに照射してレーザ結晶化によって多結晶シリコンを形成している。

【0106】形成された多結晶シリコンを島状にパターニングし、その上にマスク絶縁膜として、プラズマCVD法または減圧CVD法による窒化膜を厚さ50～150nm形成している。マスク絶縁膜が形成された後に、イオン注入またはイオンドープによってリンまたはリンと水素の化合物あるいはホウ素またはホウ素と水素の化合物を、マスク絶縁膜をマスクとして多結晶シリコン中にドープして、ドレイン領域7004とソース領域7005を形成した。ソース領域7005とドレイン領域7004に挟まれた領域にチャネル形成領域7003が形成される。マスク絶縁膜はドープ終了後除去しても残し

17

ておいても良いが、本実施例では除去した。

【0107】オフ電流をさげるために、オフセット領域あるいはLDD領域もしくはそれらの組み合わせを、ドレイン領域7004とチャネル形成領域7003の間またはソース領域7005とチャネル形成領域7003の間あるいはその双方を薄膜トランジスタに形成することもできる。薄膜トランジスタの上に、シランと酸化窒素によるプラズマCVDで第1酸化珪素膜7010を250~500nm形成した。

【0108】第1酸化珪素膜7010にドレイン領域7004に達するコンタクトホールを形成した後に、タンタルによって300~500nmの厚さ成膜した後に、パターニング形成して信号線7021を形成した。信号線7021は、ドレイン領域7004とコンタクトホールを介して接続している。

【0109】信号線7021の上に、有機シランとオゾンを用いた第2酸化珪素膜7011を厚さ100~300nm形成し、その上にアルミニウムを50~150nmの厚さで形成し、信号線7021を覆うようにパターニングしてシールド7030を形成した。シールド7030は、接地電位あるいは電源電位などの固定電位に接続する。第1酸化珪素膜7010と第2酸化珪素膜7011にソース領域7005に達するコンタクトホールを形成した。

【0110】シールド7030の上に、アクリル樹脂による平坦化膜7015を400~1000nmの膜厚で形成した。平坦化膜7015に、第2酸化珪素膜7011および第1酸化珪素膜7010に予め開けられているコンタクトホールの内側にソース領域7005との接続用のコンタクトホールを形成する。このとき、平坦化膜7015は異方性エッチングできないためにテーパー形状になる。

【0111】平坦化膜7015の上に、光電変換装置の下部電極7041を、クロムを50~150nmの膜厚で形成した。下部電極7041は、ソース領域7005と接続する。このとき、図中ではほぼ垂直に見えるが、平坦化膜7015は、テーパー形状（条件によっては凸状の曲面になる）を有しているために、下部電極7041は断線の発生を極力抑えられて、ソース領域7005と接続できた。下部電極7041の上にI型非晶質シリコンを300~1000nmの膜厚で光電変換層7042を形成した。

【0112】光電変換層7042の上に、透明導電膜7043として酸化スズを100~200nmの厚さ形成して、光電変換層7042として用いたI型非晶質シリコンと透明導電膜7043として用いた酸化スズの界面にできるショットキー壁を利用したショットキーダイオードを形成した。こうしてイメージセンサの画素を構成した。この実施例では1画素の断面構成をしめしているが、実際にはこの画素をマトリクス状に配置して、エリ

18

アタイプのイメージセンサにしている。信号線7004は、シールド7030によって、光電変換装置の下部電極7041の電位変動によるノイズから遮断されている。

【0113】〔実施例6〕図7(B)に本発明の別の実施例を示す。この実施例は、実施例5とほとんど同じであり、図中の記号も最後にBをつけているだけで、同じものをしめしている。つまり7001と7001Bは同じ基板を示し、7030と7030Bは同じシールドを示しており、以下同じである。

【0114】実施例5と異なるのは、シールド7030Bの下に実施例5で用いた第2酸化珪素膜7011の代わりに平坦化膜7011Bを用いていることである。シールド7030Bは、イメージセンサの画素の本質的な機能があるわけではなく、単に下部電極7041Bの電位変動によって発生するノイズが信号線7021Bに影響を与えないようにするものであり、パターニングの容易さを考えると平坦化膜7011B上に形成する方が有利である。これは、本実施例に限らず、全ての実施例でも同様であり、シールドの下の膜は平坦化膜を用いた方が、パターニングが容易である。

【0115】〔実施例7〕図8に本発明の別の実施例を示す。図8は、コーニング社製#1737ガラス基板8000上に、多結晶シリコンからなる薄膜トランジスタを絶縁ゲート電界効果半導体装置として形成し、その上方に非晶質シリコンのショットキーダイオードを利用した光電変換装置を形成しているものである。ガラス基板8000上には、多結晶シリコンからなるドレイン領域8004、チャネル形成領域8003、ソース領域8005と、ゲート絶縁膜8002およびゲート電極8001が形成されている。

【0116】多結晶シリコンは、出発膜としては、減圧CVD法またはプラズマCVD法を用いて非晶質シリコンを厚さ20~150nm形成し、その後クリプトンフッライド(KrF)エキマレーザを用いたレーザ結晶化によって多結晶シリコンを形成している。

【0117】形成された多結晶シリコンを島状にパターニングし、その上にゲート絶縁膜8002として、プラズマCVD法または減圧CVD法による酸化膜を厚さ50~150nm形成し、その上に500~1200nmの厚さのスカンジウムを0.05~2%ドーブしたアルミニウムのゲート電極8001を形成している。ゲート電極8001が形成された後に、イオン注入またはイオンドーブによってリンまたはリンと水素の化合物あるいはホウ素またはホウ素と水素の化合物を、ゲート電極8001をマスクとして多結晶シリコン中にドーブして、ドレイン領域8004とソース領域8005を形成した。ソース領域8005とドレイン領域8004に挟まれた領域にチャネル形成領域8003が形成される。

【0118】オフ電流をさげるために、オフセット領域

あるいはLDD領域もしくはそれらの組み合わせを、ドレイン領域8004とチャネル形成領域8003の間またはソース領域8005とチャネル形成領域8003の間あるいはその双方を薄膜トランジスタに形成することもできる。薄膜トランジスタの上に、シランと酸化窒素によるプラズマCVDで酸化珪素膜8010を250～500nm形成した。

【0119】酸化珪素膜8010にドレイン領域8004に達するコンタクトホールならびにソース領域8005に達するコンタクトホールを形成した後に、アルミニウムによって300～500nmの厚さ成膜した後に、バタニング形成して信号線8021を形成した。信号線8021は、ドレイン領域8004とコンタクトホールを介して接続している。

【0120】信号線8021の上に、ポリイミドを用いた第1平坦化膜8011を厚さ100～300nm形成し、ソース領域8005に整合するコンタクトホールを形成する。その後にタンタルを50～150nmの厚さで形成し、信号線8021を覆うようにバタニングしてシールド8030を形成した。シールド8030は、接地電位あるいは電源電位などの固定電位に接続する。シールド8030と同時に接続体8050がコンタクトホールを介してソース領域8005と接続されてる。

【0121】シールド8030の上に、アクリル樹脂による第2平坦化膜8015を400～1000nmの膜厚で形成した。第2平坦化膜8015に、接続体8050と接続するためのコンタクトホールを形成する。

【0122】第2平坦化膜8015の上に、光電変換装置の下部電極8041を、クロムを50～150nmの膜厚で形成した。下部電極8041は、接続体8050と接続し結局、ソース領域8005と接続する。この接続体8050を使うことで、下部電極8041とソース領域8005を直接接続する場合に比較して、接続距離が下部電極と接続体8050と、接続体8050とソース領域8005と2段回に分かれるためにそれぞれ膜の厚み方向の接続距離を短くなる。そのため下部電極8041とソース領域8005の断線する割合が激減する。この接続体8050を用いる方式は、本実施例に限らず他の実施例を含めて本発明の全てに使うことができる。下部電極8041の上にI型非晶質シリコンを300～1000nmの膜厚で光電変換層8042を形成した。

【0123】光電変換層8042の上に、透明導電膜8043としてITOを100～200nmの厚さ形成して、光電変換層8042として用いたI型非晶質シリコンと透明導電膜8043として用いたITOの界面にできるショットキー壁を利用したショットキーダイオード

を形成した。こうしてイメージセンサの画素を構成した。この実施例では1画素の断面構成をしめしているが、実際にはこの画素をマトリクス状に配置して、エリアタイプのイメージセンサにしている。信号線8004は、シールド8030によって、光電変換装置の下部電極8041の電位変動によるノイズから遮断されている。

#### 【0124】

【発明の効果】以上のように本発明によれば、1) 絶縁表面を有する基板であること 2) 薄膜トランジスタと光電変換装置を積層していること 3) マトリクス状の配置構成であること の3条件が揃っている場合のエリアタイプのイメージセンサにおいて問題になる下部金属電極の電位変動と、信号線と下部金属電極と間の絶縁膜で形成される寄生容量によって、信号線に発生するノイズを信号線と下部電極の間に導電性材料により等電位面を形成することで遮蔽することができる。

#### 【図面の簡単な説明】

【図1】本発明のイメージセンサの断面構造および実施例1、2を示す図

【図2】エリアタイプイメージセンサの回路構成を示す図

【図3】従来技術の単結晶シリコン上に形成されたイメージセンサの断面構造を示す図

【図4】従来技術の絶縁基板上に形成されたイメージセンサの断面構造を示す図

【図5】本発明のイメージセンサの等価回路図

【図6】本発明の実施例3、4を示す図

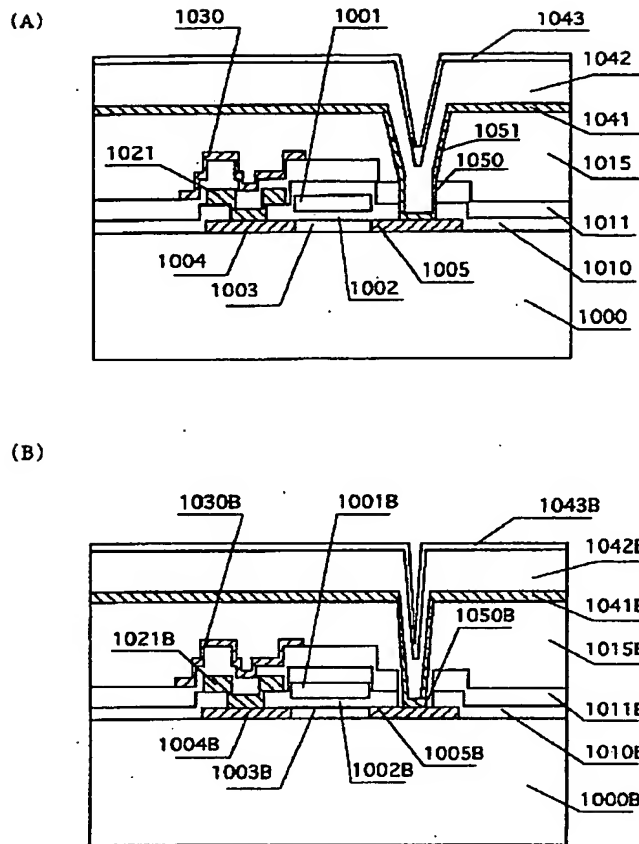
【図7】本発明の実施例5、6を示す図

【図8】本発明の実施例7を示す図

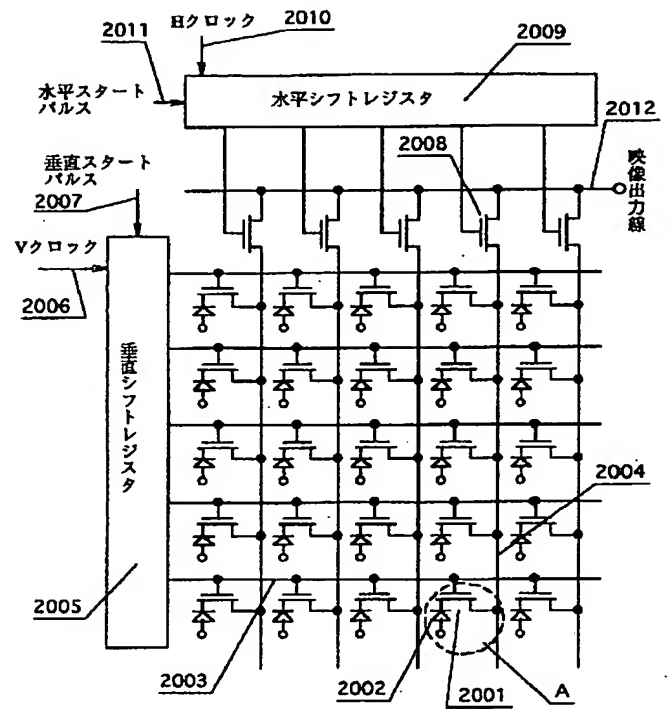
#### 【符号の説明】

1000	基板
1001	ゲート電極
1002	ゲート絶縁膜
1003	チャネル形成領域
1004	ドレイン領域
1005	ソース領域
1010	第1層間膜
1011	第2層間膜
1015	第3層間膜
1030	シールド
1041	下部電極
1042	光電変換層
1043	上部透明電極
1050	コンタクトホール端面
1051	テーパー形状

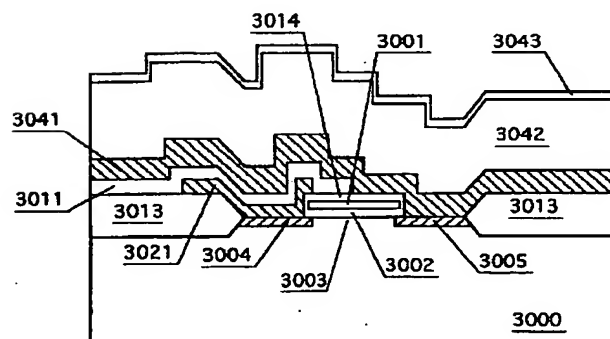
【図1】



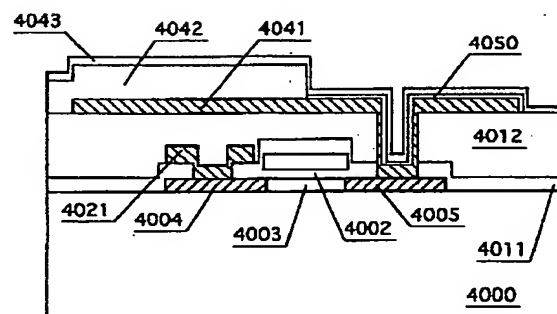
【図2】



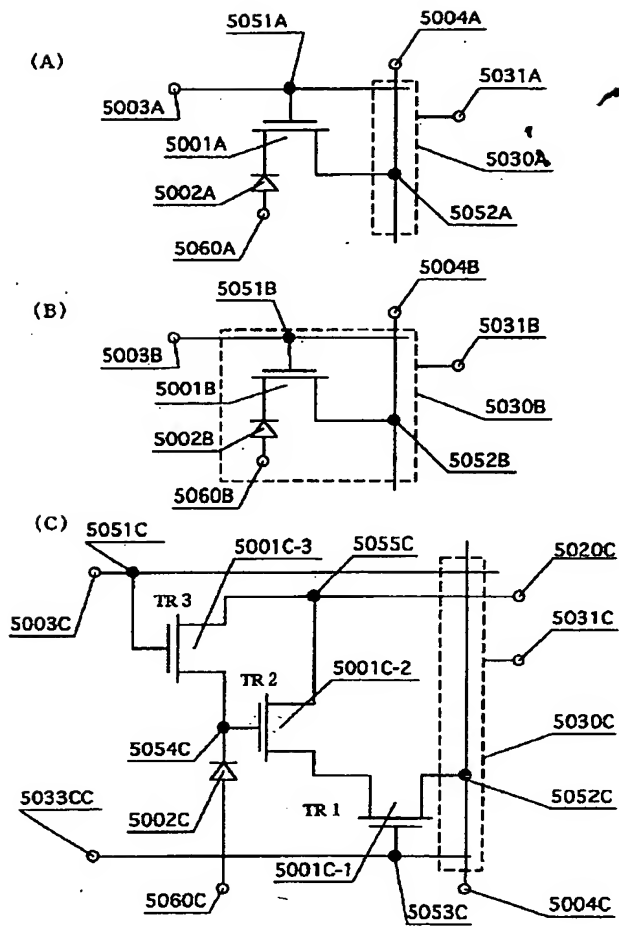
【図3】



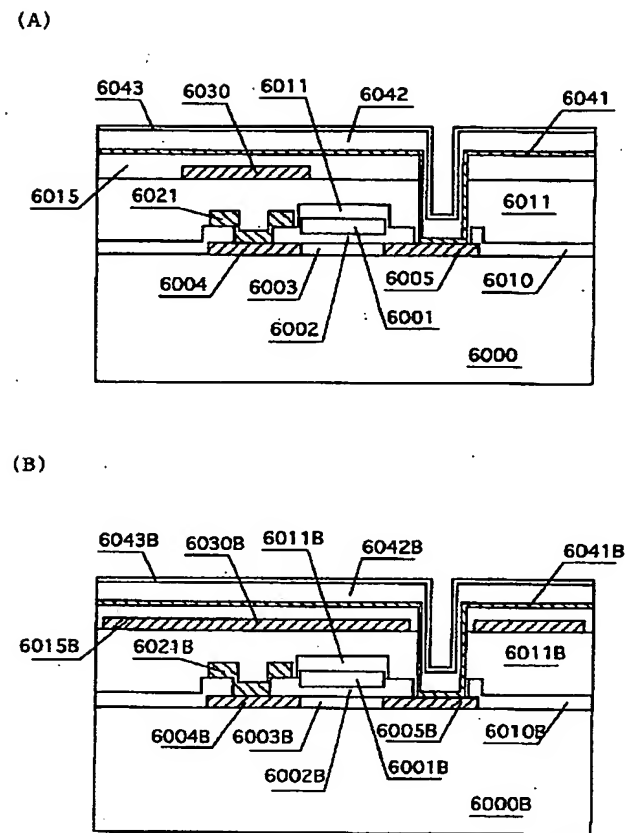
【図4】



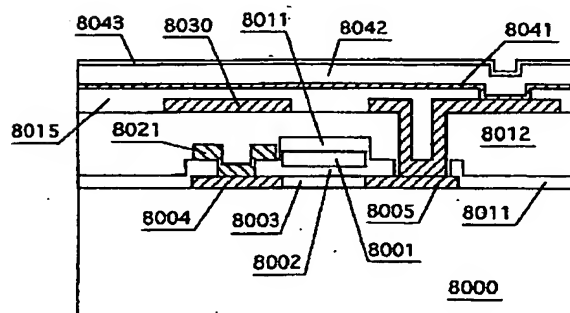
【図 5】



【図 6】



【図 8】





【図 7】

